

## EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 63257319  
PUBLICATION DATE : 25-10-88

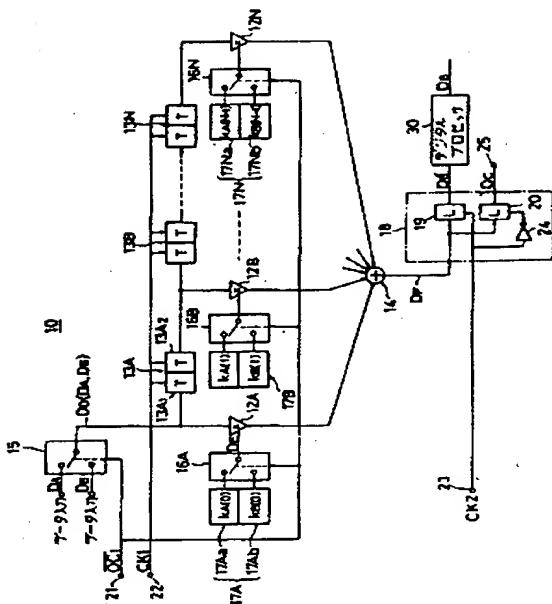
APPLICATION DATE : 14-04-87  
APPLICATION NUMBER : 62091802

APPLICANT : SHARP CORP;

INVENTOR : KITAMURA KAZUHIRO;

INT.CL. : H03H 17/02

TITLE : TIME DIVISION MULTIPLEX TYPE  
FILTER



**ABSTRACT :** PURPOSE: To decrease the circuit scale by feeding a filter output being a sum output to an input data selector as a parallel data input, and using the  $m$ -th adder output as a digital filter output.

**CONSTITUTION:** Coefficient selectors 16A–16N with respect to an input data selector 15 and coefficient means 17A–17N are provided and the final digital output signal is obtained while selecting sequentially prescribed coefficient means 17A–17N at a period of  $mT/m$  and providing the transfer characteristic to a digital input signal subject to time division multiplex. Since a single digital filter is used in time division, unit delay elements (delay devices) 13A–13N, multipliers 12A–12N and an adder 14 are used in common to the digital filter for providing each transmission characteristic. Thus, a prescribed transmission characteristic is provided without increasing the circuit scale.

COPYRIGHT: (C)1988,JPO&Japio

THIS PAGE BLANK (USPTO)

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭63-257319

⑯ Int.Cl.

H 03 H 17/02

識別記号

厅内整理番号

Z-6903-5J

⑯ 公開 昭和63年(1988)10月25日

審査請求 未請求 発明の数 1 (全7頁)

⑯ 発明の名称 時分割多重型デジタルフィルタ

⑯ 特願 昭62-91802

⑯ 出願 昭62(1987)4月14日

⑯ 発明者 喜多村 和洋 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑯ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑯ 代理人 弁理士 山口 邦夫

明細書

1. 発明の名称

時分割多重型デジタルフィルタ

2. 特許請求の範囲

(1)  $m$  種のパラレルデータ入力を時間軸上で分割選択することにより、データ間隔が  $mT$  のパラレルデータ入力を  $mT/m$  周期のシリアルデータ列に変換する入力データセレクタと、

$m$  種の伝達特性を得るための  $m$  種の係数手段と、これら係数手段を切り替える係数セレクタと、乗算出力を加算する加算器と、

加算出力であるフィルタ出力が上記パラレルデータ入力として上記入力データセレクタに帰還されると共に、

$m$  個目の加算出力がデジタルフィルタ出力として使用されるようになされたことを特徴とする時分割多重型デジタルフィルタ。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、オーディオ信号やビデオ信号をデジタル処理しながら所定の伝達特性を得るようになされたデジタル信号処理系に適用して好適な時分割多重型デジタルフィルタに関する。

【従来の技術】

オーディオ信号やビデオ信号などのデジタル信号を順次信号処理しながら最終的に所定の伝達特性となされた信号を得るようにする場合がある。

このようなデジタル信号処理回路においては、第4図に示すように、端子1に供給された入力信号はA/D変換器2において、一旦所定ビット数のデジタル信号に変換され、その後複数のデジタルプロセッサ3A～3Nに順次供給されて、所定のデジタル処理が実行される。

上述のデジタル処理においては、夫々のデジタルプロセッサから出力されたデジタル信号の伝達特性(フィルタ特性)を所望のごとく制限したいときがある。

そのような場合には、図示するように夫々のデ

ジタルプロセッサ3A～3Nの出力段に、夫々の伝達特性が適宜選定されたデジタルフィルタ4A～4N（実施例はN=1個のデータ）が接続されて夫々のデジタル信号に対してフィルタリング処理が行なわれることになる。

最終的なデジタル処理が終了すると、D/A変換器5においてアナログ信号に変換される。6はその出力端子を示す。

このように、異なる複数のデジタル処理を行なうときには、夫々のデジタル処理に対して異なるデジタルフィルタ4A～4Nを設ける必要がある。

第5図は、デジタル伝送路の途中の構成を示すもので、この例はデジタルプロセッサ3の出力段に接続されたデジタルフィルタ10A, 10Bとも、その伝達特性がローパスフィルタ特性である場合を示す。

#### 【発明が解決しようとする問題点】

ところで、上述した構成においては、1つのデジタルフィルタに対しては、1つの伝達特性とい

に変換する入力データセレクタと、m種の伝達特性を得るためにm種の係数手段と、これら係数手段を切り替える係数セレクタと、乗算出力を加算する加算器とで構成される。

そして、加算出力であるフィルタ出力がパラレルデータ入力として入力データセレクタに帰還されると共に、m個目の加算出力がデジタルフィルタ出力として使用されるようになされたを特徴とするものである。

#### 【作用】

この構成において、m種のパラレルデータ入力はmT/m周期のシリアルデータ列に変換され、シリアル変換された夫々の入力データに対して所定の伝達特性が付与される。

そのため、シリアルデータ変換に同期して伝達特性を設定するための係数手段が順次選択される。これによって、係数KAを選択したときは伝達特性FAのフィルタ出力が得られ、これが再び入力端子側に帰還され、帰還された入力データに対して係数KBの伝達特性が付与される。

うように、そのハードと伝達特性が一義的に決められているから、上述したように複数のデジタルフィルタを必要とする信号処理系においては、そのデジタル信号処理回数分のデジタルフィルタを用意する必要がある。

しかし、これではデジタル信号処理系のハードが複雑化し、回路規模の縮小化を達成することができない。

そこで、この発明ではこのような従来の問題点を構成簡単に解決したものであって、1つの信号伝送路に対して複数のデジタルフィルタを使用する場合であっても、それらに共通な回路素子はできる限り共用することによって回路規模の縮小化を達成した時分割多重型デジタルフィルタを提案するものである。

#### 【問題点を解決するための技術的手段】

上述の問題点を解決するため、この発明においては、m種のパラレルデータ入力を時間軸上で分割選択することにより、データ間隔mTのパラレルデータ入力をmT/m周期のシリアルデータ列

このような処理が順次mT/m周期で実行され、従って最終的にはm番目の伝達特性が付与されたデジタルフィルタ出力が得られる。

このように入力データ及び複数の係数手段を時分割的に切り替え使用すれば、乗算器、単位遅延素子、加算器などを共用することができる。

#### 【実施例】

統いて、この発明に係る時分割多重型デジタルフィルタの一例を上述したデジタル信号処理回路に適用した場合につき、第1図以下を参照して詳細に説明する。

第1図はこの発明の概略を説明するための系統図であって、デジタルフィルタ10には複数の異なる伝達特性を得るために係数手段が内蔵されている。図は、m=2、従って2つの伝達特性を付与するようにした場合で、伝達特性はいづれもローパスフィルタ特性とする。ただし、夫々のカットオフ周波数は相違するものとする。

入力端子1に供給されたデジタル入力信号DAは第1のデジタルフィルタ（特に図示はしていない

い。以下同様)として機能する第1の係数手段(図示しない。以下同様)において、第1の伝達特性が付与される。

第1の伝達特性が付与された第1のデジタル出力信号DB'はデジタルプロセッサ30で所定のデジタル処理がなされる。デジタル処理されたデジタル出力信号DBは再び入力系に第2のデジタル人力信号として帰還される。このとき、第2のデジタルフィルタが選択される。そのため、第2のデジタルフィルタとして機能する第2の係数手段によって定まる第2の伝達特性が付与される。

この第2のデジタル出力信号DCが最終的なデジタル信号として使用される。

第2図はその具体例である。

同図はN次非巡回型デジタルフィルタに、この発明を適用した場合である。

デジタルフィルタ10はトランスパーサルフィルタとして構成され、N個の係数乗算器12A, 12B, ..., 12Nと、N-1個の遅延器13A~13Nと、1個の加算器14とを有する。初

段の係数乗算器12Aに供給されるデジタル入力信号は入力データセレクタ15において選択される。

入力データセレクタ15には第1のデジタル入力信号DAと第2のデジタル入力信号DBが供給される。

この例では、第1のデジタル入力信号DAは前段の信号処理系から供給された信号であり、第2のデジタル入力信号DBは、このデジタルフィルタ10によって所定の伝達特性(第1の伝達特性)が付与された信号であるものとする。

遅延器13A~13Nの単位遅延時間をTとすれば、2つのデジタル入力信号DA, DBをフィルタリング処理する関係上、1つのデジタル入力信号の処理時間はTとなる。

入力データセレクタ15で時分割多重されたデジタル入力信号DDは初段の係数乗算器12Aに供給されると共に、継続接続された複数の遅延器13A~13Nに順次供給される。実施例では2つのデジタル入力信号を取り扱うため、夫々の遅

延時間は2Tに選定される。単位遅延時間がTに選定された遅延器を使用する場合には、図示するよう継続接続された2個の単位遅延器13A1, 13A2が使用される。

夫々において2Tだけ遅延されたデジタル入力信号は夫々対応する係数乗算器12B~12Nに供給されて所定の係数との乗算処理が行なわれる。

そのため、夫々の係数乗算器12A~12Nに開連した係数手段17A~17Nには、第1及び第2の伝達特性を付与するに必要な係数器17Aa~17Na, 17Ab~17Nbが設けられる。

係数器17Aa~17Naは第1のデジタル入力信号DAに対して第1の伝達特性を付与するためのもので、第1の伝達特性となるように係数kA( $kA(0) \sim kA(N-1)$ )が設定されている。

これに対して、他方の係数器17Ab~17Nbは第2のデジタル入力信号DBに対して第2の伝達特性を付与するためのもので、その係数kB( $kB(0) \sim kB(N-1)$ )は第2の伝達特性用として設定されている。

乗算係数は係数セレクタ16A~16Nによって選択される。

加算器14で順次加算された加算出力DFは出力データセレクタ18によって帰還信号として利用するのか、あるいは最終出力として利用するかが選択される。

出力データセレクタ18は図示するように、一対のラッチ回路19, 20で構成され、一方のラッチ回路19の出力がデジタルプロセッサ30に供給されて所定のデジタル信号処理が施され、その後上述した入力データセレクタ15に供給されることになる。

従って、この例では、伝達特性の付与された第1のデジタル入力信号DB'が第2のデジタル入力信号DBとして帰還される。

ところで、端子21には周期2Tのスイッチング信号OC(第3図C)が供給され、これによって入力データセレクタ15がT周期で切り替えられる。また、これに同期して係数セレクタ16A~16Nが切り替えられる。

遅延器 13A～13N には端子 22 より周期 T のクロック CK1 (第3図E) が供給され、これによって入力データが T ごとに順次シフトされる。

端子 23 には周期が 2T で、スイッチング信号 OC とはその位相が反転したクロック CK2 (第3図H) が供給され、これでラッチ回路 19, 20 の動作状態が交互に制御される。そのため、一方のラッチ回路 20 にはインバータ 24 を介してクロック CK2 が供給されることになる。

さて、この構成において、第1のデジタル入力信号 DA のデータの時系列を第3図Aに示す。また、第1の伝達特性が付与された第2のデジタル入力信号 DB のデータ時系列を同図Bに示す。

スイッチング信号 OC によって第1と第2のデジタル入力信号 DA, DB が交互に選択されて、時分割多重される。時分割多重信号 DD を第3図Dに示す。

一方、係数手段 17A～17N も周期 2T をもつて順次切り替えられているので、例えば係数手段 17A についてみると、係数乗算器 12A には第

的に使用することによって、夫々の入力信号に対して所望の伝達特性を付与することができ、最終的には同時化されたデジタル出力信号を得ることができる。

なお、上述した実施例では2つの伝達特性が得られるような場合について説明したが、m種の伝達特性が得られるようにすることもできる。その場合には、m種の係数手段とm個の単位遅延器を使用して、時分割多重しながら伝達特性を付与するようすればよい。

#### [発明の効果]

以上説明したように、この発明の構成によれば、入力データセレクタ 15 と係数手段 17A～17N に対する係数セレクタ 16A～16N を設け、時分割多重されたデジタル入力信号に対して、 $mT/m$  周期で順次所定の係数手段を選択しながら伝達特性を付与しつつ最終的なデジタル出力信号を得るようとしたものである。

これによれば、単一のデジタルフィルタを時分割的に使用できるために、単位遅延素子 (遅延

3図F) に示すように、係数 KA と係数 KB とが交互に供給される。

その結果、時分割多重信号 DD のうち、前半の期間 Ta で第1のデジタル入力信号 DA は係数 KA と乗算処理される。後半の期間 Tb では第2のデジタル入力信号 DB が係数 KB と乗算処理される。

時分割多重された乗算出力 DF (第3図G) のうちラッチ回路 19 で乗算出力 DB' のみラッヂされて、同図Iに示すようなデータ時系列のデジタル出力信号 DB' に同時化される。この出力信号 DB' が第2のデジタル入力信号 DB としてデジタルプロセッサ 30 を介して入力データセレクタ 15 に帰還される。

同様にして、後半の期間 Tb では乗算出力 DC (= DB · KB) がラッチ回路 20 でラッヂされたのち出力端子 25 側に出力される。従って、第2の伝達特性の付与された第2のデジタル出力信号 DC は第3図Jに示すようなデータ時系列をもつ信号となる。

このように、係数手段 17A～17N を時分割

器)、乗算器及び加算器を各伝達特性付与のためのデジタルフィルタに対して共通に使用できる。

従って、この発明によれば、所定の伝達特性を回路規模を増やすことなく付与することができる特徴を有する。

従って、この発明に係る時分割多重型デジタルフィルタは上述したように、オーディオ信号やビデオ信号のデジタル信号処理回路に適用して極めて好適である。

#### 4. 図面の簡単な説明

第1図はこの発明に係る時分割多重型デジタルフィルタの概要を説明するための系統図、第2図はその具体例を示す系統図、第3図はその動作説明に供するタイムチャート、第4図及び第5図は従来のデジタルフィルタを有するデジタル信号処理回路の説明図である。

1000 時分割多重型デジタルフィルタ

12A～12N …… 係数乗算器  
 13A～13N …… 延延器  
 14 …… 加算器  
 15 …… 入力データセレクタ  
 16A～16N …… 係数セレクタ  
 17A～17N …… 係数手段  
 18 …… 出力データセレクタ  
 30 …… デジタルプロセッサ  
 DA, DB …… 第1及び第2のデジタル  
 入力信号  
 DC …… デジタル出力信号

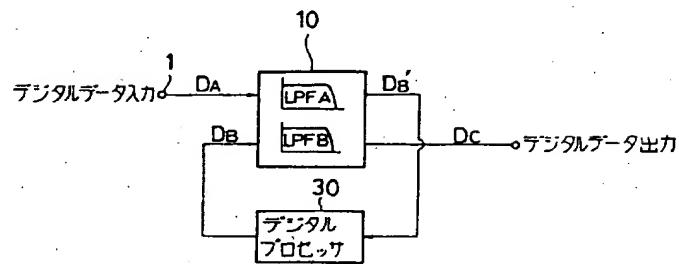
特許出願人 シャープ株式会社

代理人 井理士 山口 邦夫



## 第1図

本発明による時分割多重デジタルフィルタで構成した場合



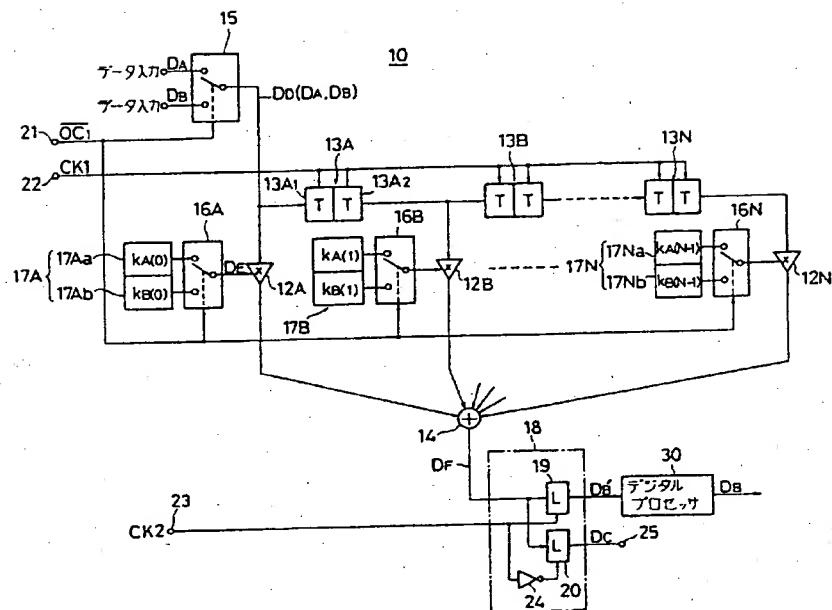
## 第5図

2つのデジタルフィルタを持つシステムのブロック図 (従来例)



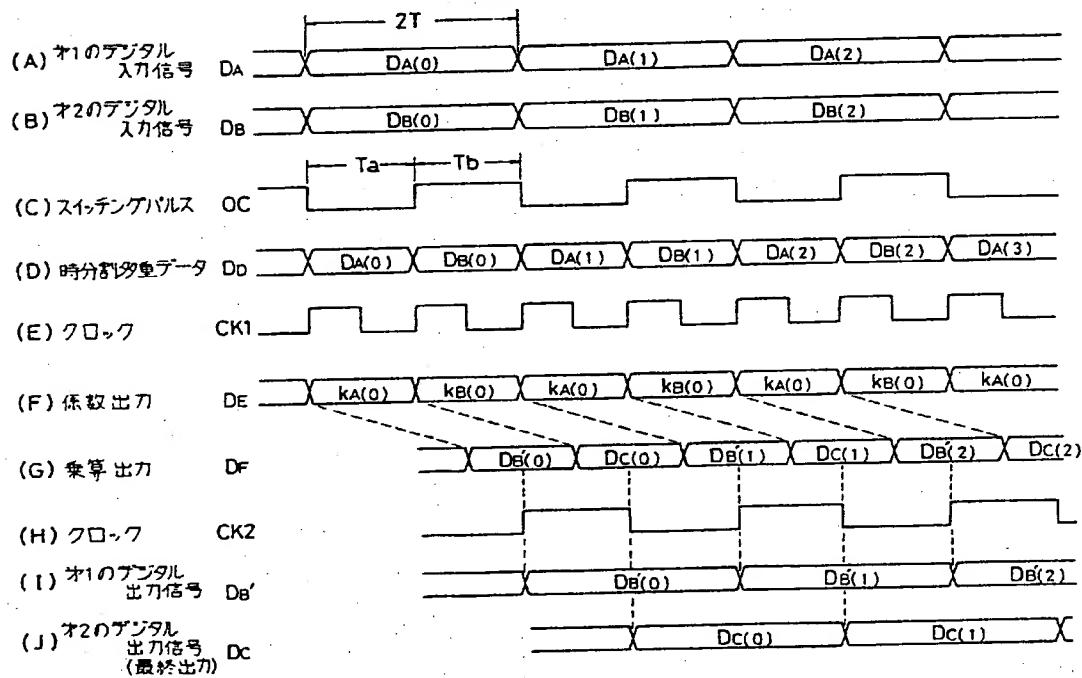
第2図

本発明の1実施例(N次非巡回型デジタルフィルタ×2)

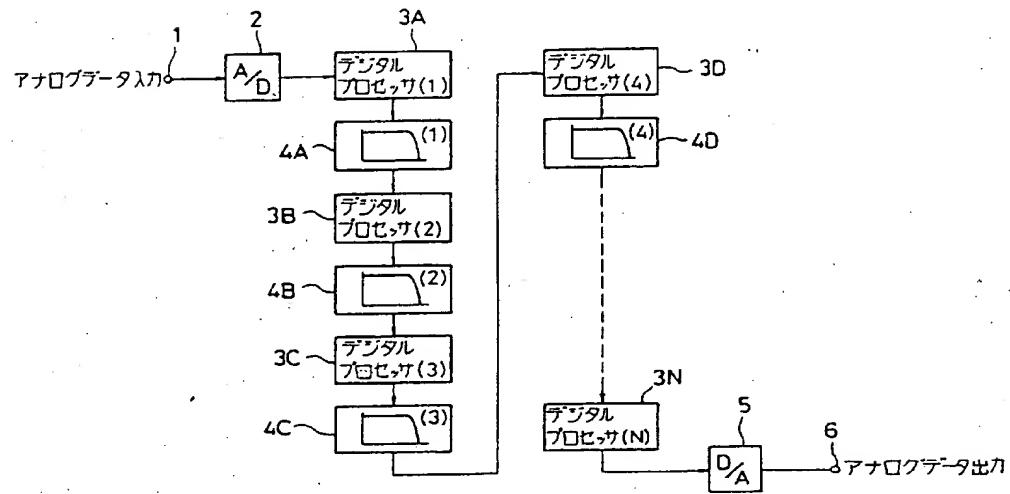


第3図

本発明の1実施例のタイムチャート



第4図  
複数のデジタルフィルタを持つデジタル信号処理システムの例



**THIS PAGE BLANK (USPTO)**